

Published Utility Model JP-UA-H5-36544

[Title of the utility model] Controller for microcomputer

[Purpose of the invention]

To control a load of a microcomputer by switching a control signal to a fail-safe side upon detecting an abnormal operation of the microcomputer.

[Structure]

A watchdog circuit 2 receives a watchdog pulse from a microcomputer 1 in an abnormal operation condition, and outputs a reset signal to reset the microcomputer 1. A fail-safe circuit 3 outputs a fail-safe signal based on the reset signal from the watchdog circuit 2. A signal switch circuit 5 switches the control signal to the fail-safe side based on reception of the fail-safe signal through a signal normalization circuit 4 in order to control a load 6.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開実用新案公報(U)

(11)実用新案出願公開番号

実開平5-36544

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.³

G 0 6 F 11/30

識別記号

3 1 0 K 9290-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 実願平3-92629

(22)出願日 平成3年(1991)10月16日

(71)出願人 390001236

ナイルス部品株式会社

東京都大田区大森西5丁目28番6号

(72)考案者 福田 岳

茨城県北相馬郡利根町大平31番地 ナイル
ス部品株式会社技術センター内

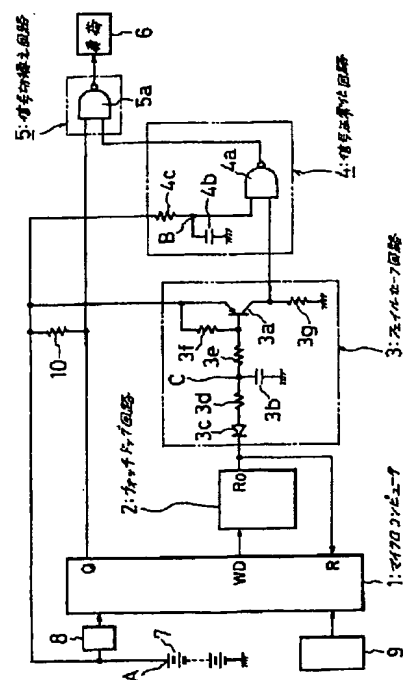
(74)代理人 弁理士 松田 克治

(54)【考案の名称】 マイクロコンピュータ制御装置

(57)【要約】

【目的】 マイクロコンピュータの異常動作状態を検出した場合に、このマイクロコンピュータの制御信号をフェイルセーフ側に切換えて、負荷を制御する。

【構成】 ウォッチドッグ回路2は、マイクロコンピュータ1が異常動作状態においてウォッチドッグパルスを入力し、リセット信号を出力してマイクロコンピュータ1をリセットする。フェイルセーフ回路3は、ウォッチドッグ回路2のリセット信号に応じてフェイルセーフ信号を出力する。信号切換え回路5は、信号正常化回路4を介して入力したフェイルセーフ信号に応じて、マイクロコンピュータ1の制御信号をフェイルセーフ側に切換えて、負荷6を制御する。



【実用新案登録請求の範囲】

【請求項1】 制御信号を出力して所定の負荷を制御するマイクロコンピュータと、
前記マイクロコンピュータの異常動作状態を検出し、リセット信号を出力して当該マイクロコンピュータをリセットするウォッチドッグ回路と、
前記ウォッチドッグ回路のリセット信号に応じて、フェイルセーフ信号を出力するフェイルセーフ回路と、
前記フェイルセーフ回路のフェイルセーフ信号に応じて、前記マイクロコンピュータの制御信号をフェイルセーフ側に切替える信号切換え回路とを備えたことを特徴とするマイクロコンピュータ制御装置。

【図面の簡単な説明】

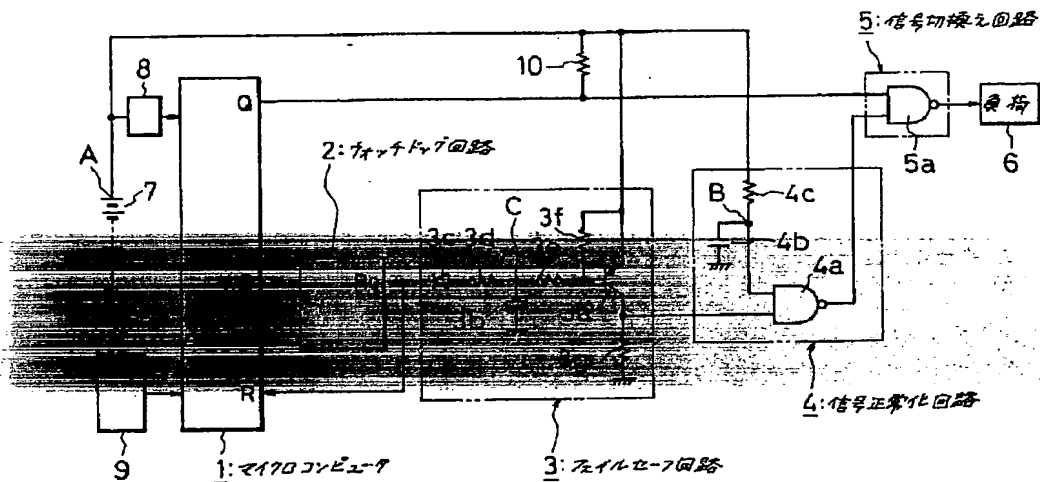
【図1】 本考案に係る一実施例を示す電気回路図である。

【図2】 図1の構成の作動を説明するタイムチャートである。

【符号の説明】

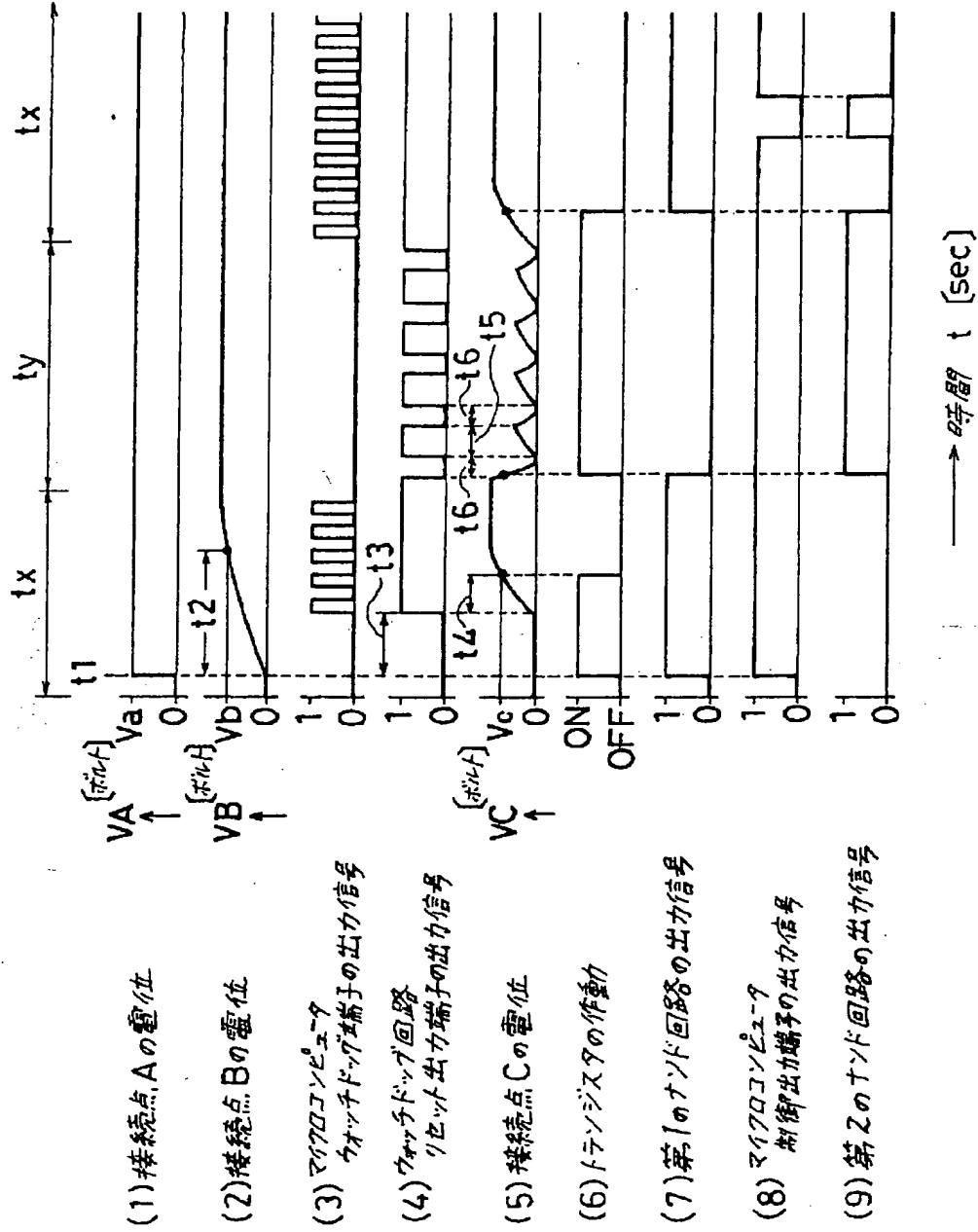
- 1 マイクロコンピュータ
- 2 ウォッチング回路
- 3 フェイルセーフ回路
- 4 信号正常化回路
- 5 信号切換え回路
- 6 負荷

【図1】



Best Available Copy

【図2】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は、マイクロコンピュータを用いて各種負荷を制御するマイクロコンピュータ制御装置に係り、特にウォッチドッグ回路によってマイクロコンピュータが異常動作状態になったことを検出し、このマイクロコンピュータを初期状態にリセットする技術の改良に関するものである。

【0002】

【従来技術】

従来、ウォッチドッグ回路によってマイクロコンピュータをリセットする技術には、例えば、特開昭57-25002号公報に係る技術などがある。これは、マイクロコンピュータの異常動作状態をタイマが検出して、リセットすると共に警報器を作動するものである。しかし、この従来技術においては、マイクロコンピュータの異常動作状態が解除されない場合に、負荷の制御が不能となってしまう問題がある。

そこで、このような問題点を解消する従来技術として、例えば、特開昭58-178451号や実開昭61-16603号の各公報に係る技術も存在する。

前者の従来技術は、マイクロコンピュータが異常動作状態になると、制御システムの最低限の状態をバックアップするために、バックアップ回路の出力に切換えるものである。

また、後者の従来技術は、2つの関連するマイクロコンピュータを備え、一方のマイクロコンピュータがウォッチドッグ回路によりリセットされた場合に、他方のマイクロコンピュータからデータを再入力されて、制御を続行するものである。

【0003】

【考案が解決しようとする課題】

しかしながら、これらの従来技術は、マイクロコンピュータを用いた制御システムの制御を維持するために、バックアップ回路や別異のコンピュータを必要とし、構造が複雑化するという問題がある。

本考案は上記問題点に鑑み考案したものであり、マイクロコンピュータの異常動作状態を検出した場合に、マイクロコンピュータの制御信号を単にフェイルセーフ側に切換えて負荷を制御する、簡易な構成のマイクロコンピュータ制御装置を提供することを目的とする。

【0004】

【課題を解決するための手段】

本考案は上記目的を達成するために、制御信号を出力して所定の負荷を制御するマイクロコンピュータと、

前記マイクロコンピュータの異常動作状態を検出し、リセット信号を出力して当該マイクロコンピュータをリセットするウオッチドッグ回路と、

前記ウオッチドッグ回路のリセット信号に応じて、フェイルセーフ信号を出力するフェイルセーフ回路と、

前記フェイルセーフ回路のフェイルセーフ信号に応じて、前記マイクロコンピュータの制御信号をフェイルセーフ側に切換える信号切換え回路とを備えて、マイクロコンピュータ制御装置を構成する。

【0005】

【実施例】

本考案に係る好適な一実施例を、添付図面に基づき詳述する。

図1において、1はマイクロコンピュータ、2はウオッチドッグ回路、3はフェイルセーフ回路、4は信号正常化回路、5は信号切換え回路、6は各種の負荷である。

マイクロコンピュータ1は、マイクロプロセッサと、ROMと、RAMと、入出力インタフェース等を内蔵し、直流電源7から定電圧回路8を介して電力を供給され、入力部9から信号を受けて負荷6を制御するために所定の制御プログラムの実行に基づき、制御出力端子Qから制御信号を出力する。

【0006】

ウオッチドッグ回路2は、マイクロコンピュータ1のウオッチドッグ端子WDから出力されるウオッチドッグパルスの周期を観測し、この周期が許容範囲から外れた時にマイクロコンピュータ1の異常状態が発生したと判定し、リセット出

力端子R_oからリセット信号として、所定の周期とデューティ比から成るパルス信号を出力する。ウオッチドッグ回路2のリセット出力端子R_oは、マイクロコンピュータ1のリセット入力端子Rに接続している。

【0007】

フェイルセーフ回路3は、ウオッチドッグ回路2のリセット信号に応じて、フェイルセーフ信号を出力する機能を有し、PNP形のトランジスタ3aとコンデンサ3bと逆流防止用ダイオード3cと4つの抵抗3d～3gで構成する。トランジスタ3aは、ベースがダイオード3c、抵抗3d及び抵抗3eを介して、ウオッチドッグ回路2のリセット出力端子R_oに接続し、エミッタが直流電源7の正極の接続点Aに接続すると共に抵抗3fを介してベースに接続し、コレクタが抵抗3gを介してアースに接続している。抵抗3dと抵抗3eの接続点Cは、コンデンサ3bを介してアースに接続している。

【0008】

信号正常化回路4は、図1で示すマイクロコンピュータ制御装置に直流電源7を接続したときまたは電源スイッチ（図示せず）をONした時点において、フェイルセーフ回路3から信号切換え回路5に誤信号が出力することを防止する機能を有し、第1のナンド回路4aとコンデンサ4bと抵抗4cで構成する。第1のナンド回路4aは、一方の入力側がコンデンサ4bと抵抗4cで構成する積分回路の接続点Bを介して直流電源7の正極の接続点Aに接続し、他方の入力側がフェイルセーフ回路3におけるトランジスタ3aのコレクタに接続している。

【0009】

信号切換え回路5は、信号正常化回路4を介してフェイルセーフ回路3から入力したフェイルセーフ信号に応じて、マイクロコンピュータ1の制御信号をフェイルセーフ側に切換えて負荷6に出力する機能を有し、例えば、第2のナンド回路5aで構成する。第2のナンド回路5aは、一方の入力側がマイクロコンピュータ1の制御出力端子Qに接続すると共に、抵抗10を介して直流電源7の正極の接続点Aに接続し、他方の入力側が第1のナンド回路4aの出力側に接続している。また、第2のナンド回路5aは、出力側が負荷6に接続している。

【0010】

次に、上記構成の作動を、図2で示す横軸を時間 t [sec]としたタイムチャートに基づき説明する。

図1で示すマイクロコンピュータ制御装置に、時点 t_1 [sec]において直流電源7を接続すると、接続点Aの電位 V_A [ボルト]は、電源電圧である V_a [ボルト]に上昇する。ウオッチドッグ回路2は、この時点 t_1 [sec]からマイクロコンピュータ1の作動が安定するまでの所定の時間 t_3 [sec]にわたり、リセット出力端子 R_o から「0」レベルのリセット信号を出力する。これにより、マイクロコンピュータ1は時間 t_3 [sec]にわたりリセットされ続け、初期状態を保持する。また、フェイルセーフ回路3は、接続点Cの電位 V_C [ボルト]が0 [ボルト]であり、トランジスタ3aがON状態にある。

【0011】

マイクロコンピュータ1が正常動作する正常域 t_x 、すなわち、後述する異常域 t_y でない時間帯において、時間 t_3 [sec]が経過すると、ウオッチドッグ回路2はリセット出力端子 R_o の出力信号「1」レベルに反転する。すると、マイクロコンピュータ1は所定の制御プログラムの実行を開始し、ウオッチドッグ端子WDから所定周期のウオッチドッグパルスを出力する。ウオッチドッグ回路2は、このウオッチドッグパルスの周期を観測し、周期が許容範囲内であると判定して、リセット出力端子 R_o の出力信号を「1」レベルで持続する。

このため、フェイルセーフ回路3は時間 t_3 [sec]が経過した時点において、抵抗3eとコンデンサ3bの充電回路が形成され、接続点Cの電位 V_C [ボルト]が徐々に上昇する。そして、トランジスタ3aは時間 t_4 [sec]を経過した時点において、接続点Cの電位 V_C [ボルト]がトランジスタ3aの作動の閾値電位 V_c [ボルト]に到達することにより、OFF作動する。

【0012】

ところで、信号正常化回路4は、抵抗4cとコンデンサ4bで成る積分回路が時点 t_1 [sec]から充電を開始する。そして、接続点Bの電位 V_B [ボルト]が、第1のナンド回路4aにおける「1」レベル信号の閾値電位 V_b [ボルト]に到達するまでの時間 t_2 [sec]にわたり、この第1のナンド回路4aは、フェイルセーフ回路3の出力いかにかわらず、「1」レベルの出力信号を

持続する。これにより、第1のナンド回路4aは、直流電源7を接続した初期の不安定なフェイルセーフ信号の伝送を阻止して、信号切換え回路5の誤動作を防止する。

なお、この時間 t_2 [sec] は、上記時間 t_3 [sec] と時間 t_4 [sec] の和よりも長時間に設定している。

【0013】

その後、マイクロコンピュータ1に異常動作状態が発生すると、マイクロコンピュータ1はウォッチドッグ端子WDから出力するウォッチドッグパルスの周期が乱れたり全くとだえたりする異常な時間帯、すなわち、異常域 t_y に到る。このため、ウォッチドッグ回路2はウォッチドッグパルスの周期が許容範囲外であると判定して、リセット出力端子Roから所定周期のリセットパルスで成るリセット信号を出力する。このリセットパルスは、例えば、「1」レベルの時間 t_5 [sec] が「0」レベルの時間 t_6 [sec] よりも長い、いわゆるオンデューティの大きいパルス信号で成る。そして、ウォッチドッグ回路2は、マイクロコンピュータ1から正常な所定の周期のウォッチドッグパルスを入力するまで、リセットパルスで成るリセット信号を出力し続け、当該マイクロコンピュータ1を初期状態にリセットする。

【0014】

フェイルセーフ回路3は、コンデンサ3bと抵抗3d及び抵抗3eから成る充電回路の充電作用に基づき、接続点Cの電位VC [ボルト] が変化する。コンデンサ3bと抵抗3eから成る充電回路は、上記リセットパルスにおける「1」レベルの時間 t_5 [sec] において、接続点Cの電位VC [ボルト] がトランジスタ3aの作動の閾値電位Vc [ボルト] まで上昇不能な時定数に設定している。また、コンデンサ3bと抵抗3dから成る放電回路は、上記リセットパルスにおける「0」レベルの時間 t_6 [sec] において、放電が完了可能な時定数に設定している。

このため、フェイルセーフ回路3は、ウォッチドッグ回路2からリセットパルスで成るリセット信号を入力している状態において、トランジスタ3aがONなので、「1」レベルのフェイルセーフ信号を第1のナンド回路4aに出力する。

【0015】

これにより、信号正常化回路4の第1のナンド回路4aは、「0」レベルに反転した信号を第2のナンド回路5aに出力する。信号切換え回路5の第2のナンド回路5aは、一方の入力信号が「0」レベルなので、マイクロコンピュータ1の制御信号いかにかわらず、フェイルセーフ回路3のフェイルセーフ信号と同じ「1」レベル信号を出力して、負荷6をフェイルセーフ側に切換える。

【0016】

その後、マイクロコンピュータ1が正常動作に回復した正常域 t_x に到ると、マイクロコンピュータ1はウォッチドッグ端子WDから正常な所定周期のウォッチドッグパルスを出力する。ウォッチドッグ回路2は、ウォッチドッグパルスの周期が許容範囲内に回復したと判定し、リセット出力端子Roから「1」レベル信号を出力する。このため、フェイルセーフ回路3は、接続点Cの電位VC〔ボルト〕が上昇するのでトランジスタ3aがOFF作動することにより、「0」レベル信号を出力する。そして、第1のナンド回路4aは「1」レベル信号を出力する。

従って、信号切換え回路5の第2のナンド回路5aは、マイクロコンピュータ1の制御信号と同一信号を出力して、負荷6を制御する。

【0017】

なお、ウォッチドッグ回路2はウォッチドッグパルスの周期を観測する構成に限定するものではなく、例えば、パルス数をカウントする構成でもよい。

また、フェイルセーフ回路3は、負荷6の種類に対応したフェイルセーフ信号を出力する構成であればよく、例えば、負荷6が自動車用ヘッドライトやワイパの場合には、このヘッドライトやワイパをON作動することがフェイルセーフ側であり、ON作動させるフェイルセーフ信号を出力すればよい。

更に、信号切換え回路5はナンド回路の構成に限定するものではなく、フェイルセーフ信号に応じてマイクロコンピュータ1の制御信号をフェイルセーフ側に切換える構成であればよい。

【0018】

【考案の効果】

以上詳述したように本考案の構成によれば、マイクロコンピュータの異常動作状態を検出した場合に、このマイクロコンピュータの制御信号を単にフェイルセーフ側に切換えて負荷を制御する、簡易な構成のマイクロコンピュータ制御装置を提供することができる。